

74252

IC-tekniikka

Tentti

11.2.2002

1. CMOS-invertterin layout n-tyypin substraattiin perustuvassa prosessissa. (6 p)
2. CMOS-invertterin PMOS-transistorin prosessitranskonduktanssi on $4 \mu\text{A}/\text{V}^2$, kynnysjännite -1 V , pituus $1 \mu\text{m}$ ja leveys $5 \mu\text{m}$. NMOS-transistorin prosessitranskonduktanssi on $5 \mu\text{A}/\text{V}^2$, kynnysjännite 1 V , pituus $1 \mu\text{m}$ ja leveys $4 \mu\text{m}$. Jos invertterin käyttöjännite on 3V , niin mikä on sen ulostulojännite, läpikulkeva virta ja tehonkulutus, kun ohjausjännite on a) 0.5 V , b) 1.1 V tai c) 1.5 V ? (6 p)
3. a) CMOS-siirtoportti. (2 p)
b) 2-to-1 MUX kohdan a) siirtoporttia käyttäen. (2 p)
c) DRAM-solu. (2 p)
4. Kaksivaihekellotus. Hyödyt, haitat, muodostamistavat. Sillä toimiva dynaaminen rekisteri. (6 p)

12 p = 1, 15 p = 2, 17 p = 3, 20 p = 4, 22 p = 5