

74252

IC-tekniikka

Tentti

12.3.2001

1. NMOS-avaustyyppin (enhancement) transistori. Rakenne, toiminta. (6 p)
2. CMOS-invertterin PMOS-transistorin prosessitranskonduktanssi on $4 \mu\text{A}/\text{V}^2$, kynnyksjännite -1 V , pituus $1 \mu\text{m}$ ja leveys $5 \mu\text{m}$. NMOS-transistorin prosessitranskonduktanssi on $5 \mu\text{A}/\text{V}^2$, kynnyksjännite 1 V , pituus $1 \mu\text{m}$ ja leveys $4 \mu\text{m}$. Jos invertterin käyttöjännite on 6 V , niin mikä on sen ulostulojännite, läpikulkeva virta ja tehonkulutus, kun ohjausjännite on a) 0.5 V , b) 1.2 V tai c) 3 V ? (6 p)
3. a) Sea of gates -rakenne. (2 p)
b) CAM-solu. (2 p)
c) CMOS-invertterin kohinamarginaalit. (2 p)
4. Latchup. Piirrä bulk-CMOS -rakenteeseen syntyvä kytkentä ja selitä sen toiminta. Entä miten ilmiötä voidaan torjua? (6 p)

12 p = 1, 15 p = 2, 17 p = 3, 20 p = 4, 22 p = 5