

74510

Integroidut Digitaalipiirit

Ylimääräinen tentti 26.4.2005

Älä löpertele - pisteitä ei jaeta viivottimella! Jaossa olevien pisteiden määrä heijastelee kaivattua perusteellisuuden astetta.

- a) Suunnittele transistoritasolla full-adderin summasignaalin (A,B,C \rightarrow S) komplementääri-CMOS-toteutus. (2 p)
- b) Ripple-carry -yhteenlaskupiirin toimintaperiaate lohkotasolla. Haitat? Hyödyt? (2 p)
- c) Mitä ovat P- ja G-signaalit yhteenlaskupiireissä? (2 p)

NMOS-transistorin rakenne ja toiminta. (6 p)

Latch-up CMOS-piireissä. (6 p)

4.
 - a) Miten signaalin etenemisnopeus riippuu johdotuskerroksesta? (2 p)
 - b) Mitä on liukuhihnoitus? (2 p)
 - c) Piirrä invertterin layout, jossa in ja out ovat metallikerroksessa. Merkitse eri kerrokset selvästi. (2 p)



Same in English:

Answer shortly - save us both from *pointless* work! The required thoroughness is reflected by the number of available points per question.

- a) Design the sum-signal generation (A,B,C \rightarrow S) for a full-adder at transistor-level using complementary-CMOS circuit. (2 p)
 - b) The operating principle of a ripple-carry-adder at structural level. Benefits? Drawbacks? (2 p)
 - c) What are the P- and G-signals in adders? (2 p)
- a) The structure and operation of an NMOS transistor. (6 p)
3. a) Latch-up in CMOS circuits. (6 p)
4.
 - a) How does the signal transmission speed depend on the routing layer? (2 p)
 - b) What is pipelining? (2 p)
 - c) Draw the layout of an inverter with in and out on a metal layer. Clearly mark the different layers. (2 p)

12 p = 1, 15 p = 2, 17 p = 3, 20 p = 4, 22 p = 5