

80128 VHDL suunnittelu ja synteesi
Luennoitsija Jouni Tomberg
Tentti 2.3.2001

- 1) Minkälaisia ohjauksia (suunnittelija/teknologia) synteesityökaluille annetaan ja mikä on ohjaustavoitteitten prioriteettijärjestys?
(3 p.)

- 2) Mitä tarkoittaa resurssien jako VHDL-synteessissä ja mitä hyötyä siitä on? Milloinka resurssien jakoa tapahtuu ja milloin ei (esimerkki koodinpätkä/kuva)? Mitenkä voit VHDL-koodissa ohjata resurssien jakoa (pakottaa/estää)?
(5 p.)

- 3) Selosta Case ja If-else lauserakenteiden toiminnallinen ero ja ero synteosituloksissa. Millä perusteella valitset kumpaa käytät? Mitä erityisseikkoja niiden käytöstä on muistettava?
(5 p.)

- 4) Kuvaa testisynteesisivuo pääpiirteissään. Mitä seikkoja testattavuussuunnittelun ja syntesoitavuuden kannalta on huomioitava testisynteesiä tehtäessä/ohjattaessa?
(5 p.)

- 5) Miten ja millä tasoilla logiikkasuunnittelua voidaan optimoida ja mikä on synteesityökalujen tuki eri optimointitasoille?
(4 p.)