

**80128 VHDL suunnittelu ja synteesi**  
**Luennoitsija Jouni Tomberg**  
**Tentti 23.4.2001**

1. Milloin RTL-synteessissä muodostuu VHDL kuvauksesta sekventiaalinen (rekisteri) rakenne ja mitä tässä kuvauksessa on huomioitava simuloinnin ja synteessin kannalta?
2. VHDL:n objektien tyypit ja niiden syntesoituvuus?
3. Uudelleen ajoituksen (retiming) käyttö sekventiaaliseen logiikkaan liittyvässä optimoinnissa ja synteesityökalujen kannalta?
4. Mitä tarkoitetaan suunnittelun fyysisen tason linkeillä (Links-to-Layout)? Miksi niiden merkitys on niin suuri nykyisin suunnittelussa? Miten ne käytännössä näkyvät VHDL synteisiin pohjautuvassa suunnitteluvuossa (menetelmät, työkalut)?
5. Tehonkulutuksen minimointi RTL-synteisiin liittyvässä optimoinnissa?