

Vastaa kaikkiin kysymyksiin samalla kielellä, joko suomeksi tai englanniksi. /
Use the same language, either english or finnish, through the exam.

1. Ovatko seuraavat väittämät oikein vai väärin? (oikea vastaus 1 piste, väärä 0 pistettä)
Are the following statements true or false? (right answer 1 point, wrong 0 point)

- a) VHDL:ssä rakenteiden tyypeillä on merkitystä /
VHDL is strongly typed language.
- b) Rakenteellinen kuvaustyyli ei ole mahdollista Verilogissa. /
Structural descriptions are not possible in Verilog.
- c) Laitteistonkuvauskielissä voidaan määrittää prosessien suoritusjärjestys. /
It is possible to define what is the execution order of processes in HDLs.
- d) Verilogissa numerot esitetään aina binäärimuodossa. /
Numbers are always presented as binary numbers in Verilog.
- e) VHDL:n *entity*-lause kuvaa lohkon toiminnan. /
entity-statement describes the behaviour of the block in VHDL.
- f) Kaikki VHDL:n ja Verilogin rakenteet syntesoituvat. /
All VHDL and Verilog statements are synthesizable.

2. a) Miten rinnakkaisuutta kuvataan VHDL:ssä? /

How is concurrency described in VHDL?

(3 pistettä / 3 points)

b) Mitä kuvataan Verilogin *module*-lauseessa?

What is described in a Verilog's *module*-statement?

(3 pistettä / 3 points)



3. Hyvän (ja uudelleenkäytettävän) HDL:n koodaussäännöt? /

Coding guidelines for a good (and reusable) HDL?

(6 pistettä / 6 points)

4. Kirjoita annetulle AND -entiteylle kolme erilaista arkkitehtuuria. Yhden täytyy käyttää *processilauseetta*, muuten arkkitehtuurien valinta on vapaata. (2 pistettä / arkkitehtuuri) /
Write 3 different architectures for the given AND-entity. There must be a *process*-statement in one of the architectures, no other limitations. (2 points / architecture).

```
entity basic_and is
    port(in1, in2: in std_logic;
          out1 : out std_logic); -- out1 = in1 and in2
end basic_and;
```

5. Selitä lyhyesti seuraavat käsitteet. (1 piste / termi)

Explain shortly the following terms. (1 point / term)

- a) VHDL:n funktio / VHDL's function
- b) resoluutiofunktio / resolution function
- c) VHDL:n signaali / VHDL's signal
- d) `std_logic`
- e) Verilogin parametri / Verilog's parameter
- f) VHDL:n muuttuja / VHDL's variable