

Laskimen käyttö sallittu.

1. Selosta seuraavia käsitteitä, tarvittaessa piirroksen avulla:
 - a) Noise margins
 - b) Pseudostatic latch
 - c) Complementary pass-transistor logic
2. a) Halutaan suunnitella invertteri CMOS-teknologialle, jossa transistorien minimimitat ovat $L: 1.2 \mu\text{m}$, $W: 1.8 \mu\text{m}$. Mitoita invertterin transistorit niin, että kynnsjännite V_M (jossa $V_{in} = V_{out}$) asettuu arvoon 2.5 V , kun käyttöjännite on 5 V . Käytä seuraavia transistoriparametrejä:
NMOS: $V_{TO} = 0.74 \text{ V}$, $k' = 19.6 \times 10^{-6} \text{ A/V}^2$, $\lambda = 0.06 \text{ V}^{-1}$
PMOS: $V_{TO} = -0.74 \text{ V}$, $k' = 5.4 \times 10^{-6} \text{ A/V}^2$, $\lambda = 0.19 \text{ V}^{-1}$
 - b) Oletetaan, että CMOS-invertterin ulostulossa on kuormana toisen samanlaisen invertterin sisäänmeno. Mitä kapasitansseja on huomioitava dynaamista toimintaa analysoitaessa, ja mistä kapasitanssit aiheutuvat?
3. Laske dynaaminen tehonkulutus kahden sisäänmenon staattisessa AND-portissa, kun käyttöjännite on 5 V ja ulostulon kapasitanssi on 1 pF . Muita kapasitansseja ei tarvitse huomioida. Sisäänmenot ovat toisistaan riippumattomia, 50 MHz taajuudella kellotettuja ja ovat ylhäällä todennäköisyydellä 0.25 .
4. Piirrä tyypillinen OR-portin rakenne ECL-teknologiassa ja selitä eri komponenttien merkitys. Miten määrättyvät ulostulon jännitetasot?
5. Kerro piirroksen avulla, minkälainen piiri on $C^2\text{MOS}$ -rekisteri. Selitä myös, miten $C^2\text{MOS}$ -rekistereitä voidaan käyttää liukuhihnoitetussa (pipelined) rakenteessa ja liittykö tähän rakenteellisia rajoituksia. Millaista kellotusperiaatetta voidaan käyttää?