

Laskimen käyttö sallittu.

1. Selitä MOSFET-transistorin eri toimintatilat ja esitä laskennallinen malli virta-jänniteriippuudelle kussakin toimintatilassa.
2. a) Halutaan suunnitella invertteri CMOS-teknologialle, jossa transistorien minimimitat ovat $L: 1.2 \mu\text{m}$, $W: 1.8 \mu\text{m}$. Mitoita invertterin transistorit niin, että kynnyksjännite V_M (jossa $V_{in} = V_{out}$) asettuu arvoon 2.5 V , kun käyttöjännite on 5 V . Käytä seuraavia transistoriparametrejä:
NMOS: $V_{T0} = 0.74 \text{ V}$, $k' = 19.6 \times 10^{-6} \text{ A/V}^2$, $\lambda = 0.06 \text{ V}^{-1}$
PMOS: $V_{T0} = -0.74 \text{ V}$, $k' = 5.4 \times 10^{-6} \text{ A/V}^2$, $\lambda = 0.19 \text{ V}^{-1}$
b) Oletetaan, että CMOS-invertterin ulostulossa on kuormana toisen samanlaisen invertterin sisäänmeno. Mitä kapasitansseja on huomioitava dynaamisesta toimintaa analysoitaessa, ja mistä kapasitanssit aiheutuvat?
3. Laske dynaaminen tehonkulutus kahden sisäänmenon dynaamisessa esivaratussa NOR-portissa, kun käyttöjännite on 5 V ja ulostulon kapasitanssi on 1 pF . Muita kapasitansseja ei tarvitse huomioida. Sisäänmenot ovat toisistaan riippumattomia, 50 MHz taajuudella kellotettuja ja ovat ylhäällä todennäköisyydellä 0.25 .
4. Piirrä OR-portin rakenne ECL-teknologiassa ja selitä eri komponenttien merkitys. Mitä etuja ja mitä haittoja ECL-logiikalla on?
5. Kerro TSPC-logiikasta (True Single-Phase Clocked Logic). Mitä etuja tällaisella logiikalla on? Piirrä tyypillinen reunaherkän TSPCL-kiikun kytkentä transistoritasolla.