

Laskimen käyttö sallittu.

1. Piirrä tyypillisen integroidussa piirissä käytettävän bipolaaritransistorin poikkileikkauskuva. Mitkä ovat tällaisen transistorin toimintatilat ja mikä on tunnusomaista kullekin toimintatilalle?
2. Komplementääristä CMOS-logiikkaa käyttäen suunnittele toteutus Boolean funktiolle  $x = ((\bar{a} + \bar{b})(\bar{c} + \bar{d} + \bar{e}) + \bar{f})\bar{g}$ . Mitoita transistorit niin, että portin ulostuloresistanssi on sama kuin invertterillä, jossa NMOS  $W/L = 1$  ja PMOS  $W/L = 3$ .
3. Laske dynaaminen tehonkulutus kahden sisäänmenon CMOS OR-portissa, kun käyttöjännite on 5 V ja ulostulon kapasitanssi on 1 pF. Muita kapasitansseja ei tarvitse huomioida. Sisäänmenot ovat toisistaan riippumattomia, 50 MHz taajuudella kelloitettu ja ovat ylhäällä todennäköisyydellä 0.25.
4. CMOS-invertterillä (NMOS  $W/L = 1.8/1.2 \mu\text{m}$ , PMOS  $W/L = 5.4/1.2 \mu\text{m}$ ) on ulostulossa kuormakapasitanssia yhteensä 1 pF. Käyttöjännite on 5 V. Arvioi etenemisviivettä  $t_p$  käyttäen seuraavia transistoriparametrejä:  
NMOS:  $V_{T0} = 0.74 \text{ V}$ ,  $k' = 19.6 \times 10^{-6} \text{ A/V}^2$ ,  $\lambda = 0.06 \text{ V}^{-1}$   
PMOS:  $V_{T0} = -0.74 \text{ V}$ ,  $k' = 5.4 \times 10^{-6} \text{ A/V}^2$ ,  $\lambda = 0.19 \text{ V}^{-1}$
5. Näytä, miten master-slave D flip-flop toteutetaan seuraavilla tekniikoilla:  
a) Pseudostatic  
b) Dynamic  
c) C<sup>2</sup>MOS  
Selitä lisäksi, miten clock skew -ilmiö vaikuttaa kussakin tapauksessa.